

SEMICONDUCTOR DEVICE

Publication number: JP2002124873

Publication date: 2002-04-26

Inventor: IWAMOTO HISASHI

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- international: G11C11/407; G06F1/06; G11C7/10; H03K5/14; H03L7/081; H03L7/089; H03L7/099; G11C11/407; G06F1/06; G11C7/10; H03K5/14; H03L7/08; (IPC1-7): H03L7/081; G06F1/06; G11C11/407; H03K5/14

- european: G11C7/10S; H03L7/081A1; H03L7/089; H03L7/099C4

Application number: JP20000317513 20001018

Priority number(s): JP20000317513 20001018

Also published as:



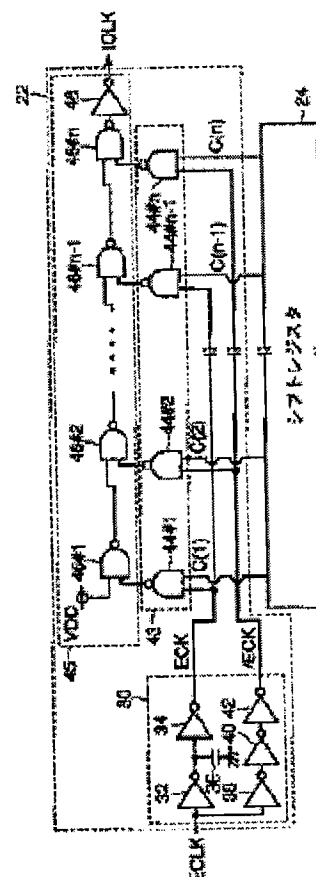
US6489823 (B2)

US2002043996 (A1)

Report a data error here

Abstract of JP2002124873

PROBLEM TO BE SOLVED: To provide a semiconductor device provided with a PLL circuit whose jitter is reduced, by a method wherein an internal clock signal generation circuit which reduces the change steps of the delay and which can deal with a clock signal at a high operating frequency is built in. **SOLUTION:** In the constitution of a delay line 22 in the PLL circuit, a complementary clock signal ECK and a complementary clock signal ECK whose phase differences are adjusted are input alternately to a delay stage. When the phase difference between the signal ECK and the signal ECK is adjusted by a capacitor 36, the delay amount of the delay line 22 is changed finely. Preferably, the initial value of a shift register 24 is started from a state that the delay amount is intermediate in the case of a high-speed clock, and it is started from a state that the delay amount is minimum in the case of a low speed clock.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-124873

(P2002-124873A)

(43) 公開日 平成14年4月26日 (2002.4.26)

(51) Int.Cl.⁷

識別記号

F I

デマコト* (参考)

H 0 3 L 7/081

H 0 3 K 5/14

5 B 0 2 4

G 0 6 F 1/06

H 0 3 L 7/08

J 5 B 0 7 9

G 1 1 C 11/407

G 0 6 F 1/04

3 1 2 A 5 J 0 0 1

H 0 3 K 5/14

G 1 1 C 11/34

3 5 4 C 5 J 1 0 6

3 6 2 S

審査請求 未請求 請求項の数15 O L (全 19 頁)

(21) 出願番号

特願2000-317513(P2000-317513)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22) 出願日

平成12年10月18日 (2000. 10. 18)

(72) 発明者 岩本 久

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

Fターム(参考) 5B024 AA15 BA21 BA23 CA07 CA15

5B079 BA20 BC03 CC02 CC08 DD05

DD06 DD08 DD20

5J001 AA11 BB10 BB12 BB23 DD09

5J106 AA03 CC24 CC58 CC59 DD39

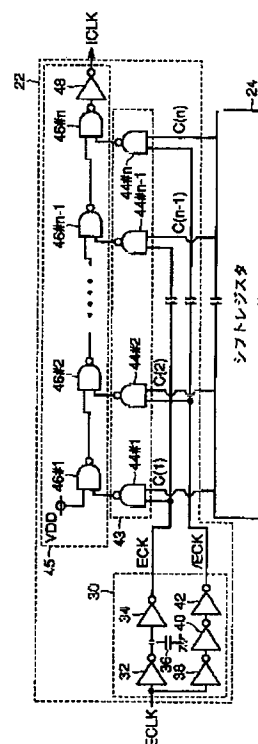
DD43 HH02 KK02 KK25

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 高速クロックに対応し、かつ、ジッタが低減されたDLL回路を備えた半導体装置を提供する。

【解決手段】 DLL回路における遅延ライン22の構成において位相差が調整された相補なクロック信号ECK, /ECKを交互に遅延段に入力する。キャパシタ36によって信号ECK, /ECKの位相差を調整しておくことによって遅延ライン22の遅延量を細かく変化させることが可能となる。好ましくはシフトレジスタ24の初期値を高速クロックの場合は遅延量が中間となる状態から開始し、低速クロックの場合は一番遅延量が少ない状態から開始するようにする。



【特許請求の範囲】

【請求項1】 外部から与えられる外部クロック信号に応じて動作クロック信号を発生する内部クロック発生回路を備え、

前記内部クロック発生回路は、

前記外部クロック信号と前記動作クロック信号の位相比較を行なう位相比較器と、

前記位相比較器の出力に応じて第1の内部クロック信号を遅延させて前記動作クロックを出力するクロック遅延部とを含み、

前記クロック遅延部は、

前記第1の内部クロック信号から第2の内部信号と前記第2の内部信号と相補な第3の内部信号とを発生するクロック変換部と、

前記位相比較器の出力に応じて通過ゲート段数を1段階づつ増減するクロック出力部とを有し、

前記クロック出力部は、前記通過ゲート段数が奇数段であるときは、前記第2の内部クロック信号に応じて前記動作クロックを出力し、前記通過ゲート段数が偶数段であるときは、前記第3の内部クロック信号に応じて前記動作クロック信号を出力し、

前記動作クロックに応じて動作を行なう内部回路をさらに備える、半導体装置。

【請求項2】 前記クロック遅延部は、前記外部クロック信号を前記第1の内部クロック信号として受け、

前記内部クロック発生回路は、ディレイロックドループ(DLL)回路である、請求項1に記載の半導体装置。

【請求項3】 前記クロック遅延部は、前記動作クロック信号を前記第1の内部クロック信号として受けて発振し、

前記内部クロック発生回路は、フェイズロックドループ(PLL)回路である、請求項1に記載の半導体装置。

【請求項4】 前記クロック出力部は、一方の入力が直列に接続された複数の第1のNAND回路と、

前記複数の第1のNAND回路の他方の入力の一つのうちの一つを選択して、第4の内部クロック信号を与えるセクタ回路とを有し、

前記セクタ回路は、前記複数の第1のNAND回路のうち、前記第4の内部クロック信号が通過するNAND回路が奇数段であるときは、前記第2の内部クロック信号を前記第4の内部クロック信号として供給し、前記複数の第1のNAND回路のうち、前記第4の内部クロック信号が通過するNAND回路が偶数段であるときは、前記第3の内部クロック信号を前記第4の内部クロック信号として供給する、請求項1に記載の半導体装置。

【請求項5】 外部から与えられる外部クロック信号に応じて動作クロック信号を発生する内部クロック発生回路を備え、

前記内部クロック発生回路は、

前記外部クロック信号と前記動作クロック信号の位相比較を行なう位相比較器と、

リセット信号に応じて遅延時間の初期値が設定され、前記位相比較器の出力に応じて前記遅延時間を変化させ、第1の内部クロック信号を前記遅延時間遅延させて前記動作クロックを出力するクロック遅延部とを含み、

前記クロック遅延部は、

前記初期値を第1の値と前記第1の値よりも前記遅延時間が大きくなる第2の値とに切換える設定切換部と、

前記設定切換部から前記初期値を受けて、前記位相比較器の出力に応じて前記遅延時間を変化させ、前記第1の内部クロック信号を遅延させた前記動作クロック信号を出力するクロック出力部とを有し、

前記動作クロックに応じて動作を行なう内部回路をさらに備える、半導体装置。

【請求項6】 前記設定切換部は、

前記第1の値に対応する電位を受ける第1のノードと、前記第2の値に対応する電位を受ける第2のノードと、前記第1、第2のノードのいずれか一方を前記初期値に対応する電位として出力する配線とを有する、請求項5に記載の半導体装置。

【請求項7】 外部からのコマンドに応じて動作モードを保持するモードレジスタをさらに備え、

前記設定切換部は、

前記モードレジスタの保持内容に応じて、前記第1の値と前記第2の値のいずれか一方を出力する選択スイッチ回路を有する、請求項5に記載の半導体装置。

【請求項8】 第1の電位を受ける第1のリードと、前記第1の電位と異なる第2の電位を受ける第2のリードと、

前記第1のリードと前記第2のリードのいずれかの電位を受けるパッドと、

前記第1のリードと前記第2のリードのいずれかを選択的に前記パッドに接続する導電体とをさらに備え、

前記設定切換部は、

前記パッドが受ける電位に応じて、前記第1の値と前記第2の値のいずれか一方を出力する選択スイッチ回路を有する、請求項5に記載の半導体装置。

【請求項9】 前記クロック遅延部は、前記外部クロック信号を前記第1の内部クロック信号として受け、

前記内部クロック発生回路は、ディレイロックドループ(DLL)回路である、請求項5に記載の半導体装置。

【請求項10】 前記クロック遅延部は、前記動作クロック信号を前記第1の内部クロック信号として受けて発振し、

前記内部クロック発生回路は、フェイズロックドループ(PLL)回路である、請求項5に記載の半導体装置。

【請求項11】 外部から与えられる外部クロック信号に応じて動作クロック信号を発生する内部クロック発生回路を備え、

前記内部クロック発生回路は、
 前記外部クロック信号と前記動作クロック信号の位相比較を行なう位相比較器と、
 前記位相比較器の出力に応じて決定される第1の遅延時間だけ第1の内部クロック信号を遅延させる第1のクロック遅延部と、
 前記第1のクロック遅延部の出力を前記位相比較器の出力に応じて前記第1の遅延時間よりも粗いステップで決定される第2の遅延時間だけ遅延させ、前記動作クロックを出力する第2のクロック遅延部と、
 前記動作クロックが、一旦、安定状態となったときに、前記第2のクロック遅延部に対して前記第2の遅延時間を前記位相比較器の出力に拘らず固定するように指示する制御部とを含み、
 前記動作クロックに応じて動作を行なう内部回路をさらに備える、半導体装置。

【請求項12】 前記制御部は、
 前記位相比較器から前記外部クロック信号と前記内部クロック信号の位相差が所定の値以下となったことを示すロック信号を一旦受けると制御データがセットされ、前記第2のクロック遅延部に対して前記制御データに対応する制御信号を出力するラッチ回路を有する、請求項11に記載の半導体装置。

【請求項13】 前記制御部は、
 電源投入後から前記外部クロック信号が所定クロック数入力されたことを検出するカウンタと、
 前記カウンタの出力に応じてセットされ、前記第2のクロック遅延部に対する制御信号を出力するラッチ回路とを有する、請求項11に記載の半導体装置。

【請求項14】 前記クロック遅延部は、前記外部クロック信号を前記第1の内部クロック信号として受け、
 前記内部クロック発生回路は、ディレイロックドループ(DLL)回路である、請求項11に記載の半導体装置。

【請求項15】 前記クロック遅延部は、前記動作クロック信号を前記第1の内部クロック信号として受けて発振し、
 前記内部クロック発生回路は、フェイズロックドループ(PLL)回路である、請求項11に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関し、特に、外部から与えられるクロック信号に同期して信号の取込を行なう同期型半導体装置に関する。より特定的には、内部クロック回路にディレイロックドループ(以下、DLLと称する。)を用いた同期型ダイナミックランダムアクセスメモリ(以下、SDRAMと称する。)における内部クロック発生回路に関する。

【0002】

【従来の技術】主記憶として用いられるダイナミックランダムアクセスメモリ(DRAM)は、高速化されているが、その動作速度は依然としてマイクロプロセッサ(MPU)の動作速度に追従することができない。このため、DRAMのアクセスタイムおよびサイクルタイムがボトルネックとなり、システム全体の性能が低下するということがよく言われる。近年、高速MPUのための主記憶としてクロック信号に同期して動作するSDRAMが用いられるようになってきている。

【0003】SDRAMのように、外部からのクロック信号に同期させて外部からの信号およびデータを取込む同期動作を実行することの利点は、データ入出力時間に対するマージンが従来型のメモリより小さくすむことなどである。従来型のメモリは、アドレス信号のスキュー(タイミングのずれ)を考慮してデータ入出力時間に対してマージンが必要であった。

【0004】したがって、SDRAMのようにアドレス信号およびデータ信号をクロック信号により同期化して、さらに連続データの書込および読出を実行することができれば、連続アクセスタイムを高速化することが可能となる。

【0005】

【発明が解決しようとする課題】上述のとおり、MPUの高速化に伴い、システム全体の性能の面から見てもSDRAM内部で用いられる内部クロック信号の高速化という問題は避けることができない。なぜなら、内部クロック信号が遅いと、クロックからのアクセスタイムにより動作周波数が律速されるからである。そのため、SDRAMでは、外部からのクロック信号CLKを受けて、クロック信号CLKに同期した内部クロック信号ICLKを発生させるディレイロックドループ(DLL)を備える場合がある。

【0006】図24は、従来のDLLの構成を示したブロック図である。図24を参照して、外部クロック信号CLKは、クロックバッファ502に与えられ、クロックバッファ502は信号ECLKを出力する。信号ECLKは、DLL510に与えられる。DLL510は、信号ECLKの位相を変えて、内部クロック信号ICLKを出力する。内部クロック信号ICLKは、アドレス信号やデータ信号などを受ける図示しない入出力バッファに送られ、外部から与えられる信号を取込むクロックとなる。この内部クロック信号ICLKは、外部クロック信号CLKに対して位相を変えることができるので、たとえばデータを入出力バッファから出力する際のデータ信号のタイミングを変更することができる。外部クロック信号CLKに対して内部クロック信号ICLKの位相を速くすることで、アクセスタイムを高速化できる。

【0007】DLL510は、デジタルタイプのDLLである。電源ノイズが大きいと考えられるSDRAMの内部では、アナログタイプのDLLではこのノイズのた

めにジッタ（揺らぎ）が大きくなると考えられるため、デジタルタイプのDLLが適していると考えられる。

【0008】DLL510は、クロックバッファから出力される信号ECLKを遅延させ、内部クロック信号ICLKを出力する遅延ライン522と、内部クロック信号ICLKが用いられる内部回路までの遅延時間に相当する時間だけ内部クロック信号ICLKを遅延させる遅延回路526と、遅延回路526が出力する信号RCLKと信号ECLKの位相を比較して制御信号UP、DOWNを出力する位相比較器528と、位相比較器528の出力に応じて遅延ライン522の遅延時間を制御するためのシフトレジスタ524とを含む。このDLLは、一種の自動制御回路である。

【0009】位相比較器528は、信号ECLKと信号RCLKとが入力されると、これらの位相を比較して制御信号UPおよびDOWNを出力する。信号ECLKと信号RCLKの位相がほぼ一致すると、同期が確定する。この同期が確定した状態を一般的には、DLLがロックした状態という。シフトレジスタ524は、制御信号UP、DOWNに応じて遅延ラインの遅延時間を変化させる。

【0010】図25は、図24における遅延ライン522の構成の一例を示した回路図である。

【0011】図25を参照して、シフトレジスタ524から遅延ライン522に対しては制御信号C(1)～C(n)が与えられる。

【0012】遅延ライン522は、信号ECLKおよび制御信号C(1)を受けるNAND回路544#1と、一方の入力が電源電位VDDに固定され、他方の入力にNAND回路544#1の出力が与えられるNAND回路546#1と、NAND回路546#1の出力を受けて反転するインバータ547#1と、信号ECLKおよび制御信号C(2)を受けるNAND回路544#2と、NAND回路544#2の出力およびインバータ547#1の出力を受けるNAND回路546#2と、NAND回路546#2の出力を受けて反転するインバータ547#2とを含む。

【0013】遅延ライン522は、さらに、信号ECLKおよび制御信号C(n-1)を受けるNAND回路544#n-1と、図示しないインバータ547#n-2の出力およびNAND回路544#n-1の出力を受けるNAND回路546#n-1と、NAND回路546#n-1の出力を受けて反転するインバータ547#n-1と、信号ECLKおよび制御信号C(n)を受けるNAND回路544#nと、NAND回路544#nの出力およびインバータ547#n-1の出力を受けるNAND回路546#nと、NAND回路546#nの出力を受けて反転し内部クロック信号ICLKを出力するインバータ547#nとを含む。

【0014】シフトレジスタ524から出力される制御

信号C(1)～C(n)は、これらのうち1信号だけがHレベルとされ、残りがLレベルとされる。たとえば制御信号C(n-1)がHレベルとされた場合には、信号ECLKがNAND回路544#n-1を介して伝達されて、これに応じて内部クロック信号ICLKが出力される。遅延時間が長すぎる場合には、Hレベルが出力される制御信号の位置が右にシフトされ、遅延時間が短すぎるとHレベルを出力する制御信号の位置は左にシフトされる。このようにして遅延時間が調整される。一般的に、SDRAMに電源を投入するときには、最小の遅延時間から開始される。したがって、図25では、制御信号C(n)がHレベルとされ、NAND回路544#nを介して信号ECLKが遅延ラインの内部に取込まれる。

【0015】しかしながら、このような遅延ラインを用いると、遅延時間の変化のステップがNAND回路とインバータとの遅延時間の合計時間分となる。動作周波数が高くなると、従来の遅延ラインの遅延時間の変化ステップでは大きすぎるため、遅延時間が階段状に変化してしまい動作マージンがなくなる場合があった。

【0016】また、動作周波数が高くなると、DLLをロックさせるには最小の遅延よりもさらに短い遅延時間が必要となり、内部クロック信号の高速化に限界が生じていた。

【0017】この発明の目的は、遅延時間の変化ステップを小さくし動作周波数が高いクロック信号に対応可能な内部クロック信号発生回路を内蔵する半導体装置を提供することである。

【0018】

【課題を解決するための手段】請求項1に記載の半導体装置は、外部から与えられる外部クロック信号に応じて動作クロック信号を発生する内部クロック発生回路を備え、内部クロック発生回路は、外部クロック信号と動作クロック信号の位相比較を行なう位相比較器と、位相比較器の出力に応じて第1の内部クロック信号を遅延させて動作クロックを出力するクロック遅延部とを含み、クロック遅延部は、第1の内部クロック信号から第2の内部信号と第2の内部信号と相補な第3の内部信号とを発生するクロック変換部と、位相比較器の出力に応じて通過ゲート段数を1段ずつ増減するクロック出力部とを有し、クロック出力部は、通過ゲート段数が奇数段であるときは、第2の内部クロック信号に応じて動作クロックを出力し、通過ゲート段数が偶数段であるときは、第3の内部クロック信号に応じて動作クロック信号を出力し、動作クロックに応じて動作を行なう内部回路をさらに備える。

【0019】請求項2に記載の半導体装置は、請求項1に記載の半導体装置の構成において、クロック遅延部は、外部クロック信号を第1の内部クロック信号として受け、内部クロック発生回路は、ディレイロックドルー

プ(DLL)回路である。

【0020】請求項3に記載の半導体装置は、請求項1に記載の半導体装置の構成において、クロック遅延部は、動作クロック信号を第1の内部クロック信号として受けて発振し、内部クロック発生回路は、フェイズロックドループ(PLL)回路である。

【0021】請求項4に記載の半導体装置は、請求項1に記載の半導体装置の構成に加えて、クロック出力部は、一方の入力が直列に接続された複数の第1のNAND回路と、複数の第1のNAND回路の他方の入力のうちの一つを選択して、第4の内部クロック信号を与えるセレクト回路とを有し、セレクト回路は、複数の第1のNAND回路のうち、第4の内部クロック信号が通過するNAND回路が奇数段であるときは、第2の内部クロック信号を第4の内部クロック信号として供給し、複数の第1のNAND回路のうち、第4の内部クロック信号が通過するNAND回路が偶数段であるときは、第3の内部クロック信号を第4の内部クロック信号として供給する。

【0022】請求項5に記載の半導体装置は、外部から与えられる外部クロック信号に応じて動作クロック信号を発生する内部クロック発生回路を備え、内部クロック発生回路は、外部クロック信号と動作クロック信号の位相比較を行なう位相比較器と、リセット信号に応じて遅延時間の初期値が設定され、位相比較器の出力に応じて遅延時間を変化させ、第1の内部クロック信号を遅延時間遅延させて動作クロックを出力するクロック遅延部とを含み、クロック遅延部は、初期値を第1の値と第1の値よりも遅延時間が大きくなる第2の値とに切換える設定切換部と、設定切換部から初期値を受けて、位相比較器の出力に応じて遅延時間を変化させ、第1の内部クロック信号を遅延させた動作クロック信号を出力するクロック出力部とを有し、動作クロックに応じて動作を行なう内部回路をさらに備える。

【0023】請求項6に記載の半導体装置は、請求項5に記載の半導体装置の構成に加えて、設定切換部は、第1の値に対応する電位を受ける第1のノードと、第2の値に対応する電位を受ける第2のノードと、第1、第2のノードのいずれか一方を初期値に対応する電位として出力する配線とを有する。

【0024】請求項7に記載の半導体装置は、請求項5に記載の半導体装置の構成に加えて、外部からのコマンドに応じて動作モードを保持するモードレジスタをさらに備え、設定切換部は、モードレジスタの保持内容に応じて、第1の値と第2の値のいずれか一方を出力する選択スイッチ回路を有する。

【0025】請求項8に記載の半導体装置は、請求項5に記載の半導体装置の構成に加えて、第1の電位を受ける第1のリードと、第1の電位と異なる第2の電位を受ける第2のリードと、第1のリードと第2のリードのい

ずれかの電位を受けるパッドと、第1のリードと第2のリードのいずれかを選択的にパッドに接続する導電体とをさらに備え、設定切換部は、パッドが受ける電位に応じて、第1の値と第2の値のいずれか一方を出力する選択スイッチ回路を有する。

【0026】請求項9に記載の半導体装置は、請求項5に記載の半導体装置の構成において、クロック遅延部は、外部クロック信号を第1の内部クロック信号として受け、内部クロック発生回路は、ディレイロックドループ(DLL)回路である。

【0027】請求項10に記載の半導体装置は、請求項5に記載の半導体装置の構成において、クロック遅延部は、動作クロック信号を第1の内部クロック信号として受けて発振し、内部クロック発生回路は、フェイズロックドループ(PLL)回路である。

【0028】請求項11に記載の半導体装置は、外部から与えられる外部クロック信号に応じて動作クロック信号を発生する内部クロック発生回路を備え、内部クロック発生回路は、外部クロック信号と動作クロック信号の位相比較を行なう位相比較器と、位相比較器の出力に応じて決定される第1の遅延時間だけ第1の内部クロック信号を遅延させる第1のクロック遅延部と、第1のクロック遅延部の出力を位相比較器の出力に応じて第1の遅延時間よりも粗いステップで決定される第2の遅延時間だけ遅延させ、動作クロックを出力する第2のクロック遅延部と、動作クロックが、一旦、安定状態となったときに、第2のクロック遅延部に対して第2の遅延時間を位相比較器の出力に拘らず固定するように指示する制御部とを含み、動作クロックに応じて動作を行なう内部回路をさらに備える。

【0029】請求項12に記載の半導体装置は、請求項11に記載の半導体装置の構成に加えて、制御部は、位相比較器から外部クロック信号と内部クロック信号の位相差が所定の値以下となったことを示すロック信号を一旦受けると制御データがセットされ、第2のクロック遅延部に対して制御データに対応する制御信号を出力するラッチ回路を有する。

【0030】請求項13に記載の半導体装置は、請求項11に記載の半導体装置の構成に加えて、制御部は、電源投入後から外部クロック信号が所定クロック数入力されたことを検出するカウンタと、カウンタの出力に応じてセットされ、第2のクロック遅延部に対する制御信号を出力するラッチ回路とを有する。

【0031】請求項14に記載の半導体装置は、請求項11に記載の半導体装置の構成において、クロック遅延部は、外部クロック信号を第1の内部クロック信号として受け、内部クロック発生回路は、ディレイロックドループ(DLL)回路である。

【0032】請求項15に記載の半導体装置は、請求項11に記載の半導体装置の構成において、クロック遅延

部は、動作クロック信号を第1の内部クロック信号として受けて発振し、内部クロック発生回路は、フェイズロックドループ(PLL)回路である。

【0033】

【発明の実施の形態】以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【0034】【実施の形態1】図1は、本発明の実施の形態1の半導体装置1の概略的な構成を示すブロック図である。

【0035】図1を参照して、半導体装置1は、クロック信号に同期してデータのやり取りを行なうシンクロナスダイナミックランダムアクセスメモリ(SDRAM)が一例として示されている。半導体装置1は、外部クロック信号CLK、クロックイネーブル信号CKEを受けるクロックバッファ2と、アドレス信号A0~An(nは自然数)およびバンクアドレス信号BA0~BANを受けるアドレスバッファ4と、コントロール信号/C_S、/RAS、/CAS、/WE、DQMを受けるコントロール信号バッファ6とを含む。アドレスバッファ4およびコントロールバッファは、クロックバッファ2の出力に同期して、アドレス信号やコントロール信号を取込む。

【0036】半導体装置1は、さらに、クロックバッファ2の出力に応じて内部クロック信号を発生する内部クロック発生回路10と、クロックバッファ2の出力に同期して、アドレスバッファ4、コントロール信号バッファ6の出力を受けるコントロール回路8と、コントロール回路8の制御の下にデータ信号DQ0~DQnを授受するメモリアレイ14と、内部クロック発生回路10の出力またはクロックバッファ2の出力に同期して、外部とメモリアレイ14との間でデータの授受を行なう出力バッファ12とを含む。

【0037】コントロール回路8は、モードレジスタ9を含んでおり、モードレジスタ9は、後に説明するように、制御信号の組合せによって与えられるモードレジスタセットコマンドに応じて、その時に与えられているアドレス信号によって指定される動作モードを保持する。

【0038】内部クロック発生回路10は、DLL(Delay Locked Loop)もしくはPLL(Phase Locked Loop)を含んでいる。

【0039】図2は、半導体装置1の連続アクセスの仕様を満たす標準的なタイミングを説明するための波形図である。

【0040】図2においては、データ入出力端子DQ0~DQ7の8ビットのデータ(バイトデータ)の入力および出力が可能なSDRAMにおいて、連続して8つのデータ(8×8の合計64ビット)を書込みまたは読出す動作を示す。連続して読出されるデータのビット数はバースト長と呼ばれ、SDRAMでは、通常、モードレ

ジスタの設定によって変更することが可能である。

【0041】図2を参照して、時刻t1において、外部からのクロック信号ext. CLK(たとえばシステムクロック)は、図1のクロック信号CLKとして与えられ、その立上がりエッジで外部からの制御信号(ロウアドレスストロブ信号/RAS、コラムアドレスストロブ信号/CAS、アドレス信号ADDなど)が取込まれる。ロウアドレスストロブ信号/RASが活性状態のLレベルにあるため、このときのアドレス信号ADDは行アドレスXaとして取込まれる。なお、アドレス信号ADDは、図1のアドレス信号A0~An、バンクアドレス信号BA0~BANの組合せで与えられる。

【0042】時刻t2において、コラムアドレスストロブ信号/CASが活性状態のLレベルとなり、クロック信号ext. CLKの立上がり同期して内部に取込まれる。このときのアドレス信号ADDは列アドレスYとして取込まれる。この取込まれた行アドレスXaおよび列アドレスYbに従ってSDRAM内において行および列の選択動作が実施される。

【0043】D/Qは、入出力端子DQiから入出力されるデータ信号を示す。行アドレスストロブ信号/RASがLレベルに立下がってから所定のクロック周期(図2においては6クロックサイクル)が経過した後時刻t3において最初のデータq0が出力され、データq0に引き続きデータq1~q7が連続して出力される。このデータの出力はクロック信号ext. CLKの立下がりに応答して出力される。

【0044】時刻t4以降は書込動作を示す。時刻t4において、行アドレスXcが取込まれる。時刻t5において、コラムアドレスストロブ信号/CASおよびライトイネーブル信号/WEがともに活性状態のLレベルであれば、そのときのクロック信号ext. CLKの立上がりエッジにおいて列アドレスYdが取込まれるとともに、そのときに与えられていたデータd0が最初の書込データとして取込まれる。ロウアドレスストロブ信号/RASおよびコラムアドレスストロブ信号/CASの立下がりに応答して、SDRAM内部においては行および列選択動作が実施される。以降クロック信号ext. CLKに同期して順次入力データd1~d7が取込まれ、対応するメモリセルに書込まれる。

【0045】図3は、図1に示した内部クロック発生回路10として用いられるDLL回路10aの構成を示したブロック図である。

【0046】なお、外部クロック信号CLKを受けたクロックバッファ2が便宜的に説明のために示されている。

【0047】図3を参照して、DLL回路10aは、クロックバッファ2の出力信号である信号ECLKを遅延させ内部クロック信号ICLKを出力する遅延ライン2

2と、遅延ライン22の出力を内部クロック信号ICLKが用いられる図示しない内部回路に伝達するまでの遅延時間に対応した時間分だけ遅延させる遅延回路26と、遅延回路26が出力する信号RCLKと信号ECLKとの位相を比較し、制御信号UP、DOWNを出力する位相比較器28と、位相比較器28の出力に応じて遅延ライン22の遅延時間を制御するためのシフトレジスタ24とを含む。

【0048】図4は、図3における遅延ライン22の構成を示す回路図である。図4を参照して、遅延ライン22は、信号ECLKを受けて相補な信号ECK、 \neg ECKを出力するクロック変換部30と、制御信号C(1)および信号ECKを受けるNAND回路44#1と、一方の入力が電源電位VDDに固定され、他方の入力にNAND回路44#1の出力を受けるNAND回路46#1と、制御信号C(2)および信号 \neg ECKを受けるNAND回路44#2と、NAND回路46#1、44#2の出力を受けるNAND回路46#2と、制御信号C(n-1)および信号ECKを受けるNAND回路44#n-1と、図示しないNAND回路46#n-2の出力およびNAND回路44#n-1の出力を受けるNAND回路46#n-1と、制御信号C(n)および信号 \neg ECKを受けるNAND回路44#nと、NAND回路46#n-1、44#nの出力を受けるNAND回路46#nと、NAND回路46#nの出力を受けて反転し内部クロック信号ICLKを出力するインバータ48とを含む。

【0049】NAND回路44#1~44#nは、信号ECLKを伝達する経路を選択するセクタ43を構成している。また、NAND回路46#1~46#nは、セクタ43によって選択された経路の入力部に信号ECK、 \neg ECKのいずれかを受けて内部クロック信号ICLKを出力するクロック出力回路45を構成している。クロック出力回路45が含むNAND回路は、1段が遅延調整の最小単位であり、入力ノードの位置を変更することによって入力ノードから出力ノードまで直列接続されるNAND回路のゲート段数を変えることができる。ただし、NAND回路のゲート段数を1段変更すると、出力信号の極性が反転するので、極性を合わせるために信号ECK、 \neg ECKのいずれか適切な方を入力信号とする。

【0050】クロック変換部30は、信号ECLKを受ける直列に接続されたインバータ32、34と、インバータ32、34の接続ノードと接地ノードとの間に接続されるキャパシタ36とを含む。インバータ34は、信号ECKを出力する。

【0051】クロック変換部30は、さらに、信号ECLKを受けて信号 \neg ECKを出力する直列に接続されたインバータ38、40、42を含む。

【0052】図25に示した従来の遅延ライン522と

遅延ライン22の違いについて説明する。遅延ライン22では、クロック変換部30によって信号ECLKは相補の信号ECK、 \neg ECKに変換される。ただし、これらの信号はキャパシタ36によって位相差が調整されている。

【0053】従来の遅延ライン522においては、極性が反転せぬようにNAND回路1段とインバータ1段とを1組として信号の通過する経路のゲート段数を2段ずつ変化させていたが、遅延ライン22ではNAND回路1段分ずつ変化させる。遅延ラインの1ステップ分の時間変化量を減らすことは、DLL回路の揺らぎ(ジッタ)を減らすことになり、性能が向上する。ただし、信号の極性を合わせるために、遅延ラインには、1段目には信号ECKが入力され、2段目には相補な信号 \neg ECKが入力される。以降奇数段目には信号ECKが与えられ、偶数段目には信号 \neg ECKが与えられる。そして、これらの相補な信号ECK、 \neg ECKは、キャパシタ36の容量値を調整することによりインバータ1段分の遅延時間差をなくし、エッジをほぼ等しいタイミングにそろえておく。

【0054】すなわち、信号ECKの波形が立上がる時刻において、信号 \neg ECKの波形が立下り、信号ECKの波形が立下がる時刻において、信号 \neg ECKの波形が立上がるように、キャパシタ36を用いて調整されている。キャパシタを使用しなくても、インバータサイズの比を変えたり抵抗を挿入することで、この調整を行っても良い。

【0055】たとえば、NAND回路44#nから信号を入力した場合には、信号ECLKから内部クロック信号ICLKまでの段数はインバータ38、40、42、NAND回路44#n、46#nおよびインバータ48の6段である。ここで、遅延時間を1段分増やすためにシフトレジスタが動作した場合に、信号が伝達されるNAND回路は44#nから44#n-1に切替わる。

【0056】このときの信号ECLKから内部クロック信号ICLKが出力されるまでの段数はインバータ32、34、NAND回路44#n-1、46#n-1、46#nおよびインバータ48の6段である。しかし、信号ECKと信号 \neg ECKとの位相差をキャパシタ36遅延させて調整しておけば、信号ECLKから内部クロック信号ICLKまでの遅延時間は、7段分に相当する時間にすることができる。このようにキャパシタ36によって位相差を調整しておくことで、遅延ライン22の合計の遅延時間の変化ステップをNAND回路1段ずつのステップで変更することが可能となる。

【0057】図5は、図3におけるシフトレジスタ24の一例であるシフトレジスタ24aの構成を示した回路図である。

【0058】図5を参照して、シフトレジスタ24aは、制御信号C(1)~C(n)をそれぞれ出力するシ

フトレジスタ52#1~52#nと、シフトレジスタ52#1~52#nを初期化するための電位を与えるNチャネルMOSトランジスタ50#1~50#nを含む。

【0059】シフトレジスタ52#n-1は、入力ノードIN1とノードN1との間に接続されゲートに制御信号UPを受けるNチャネルMOSトランジスタ54と、入力にノードN1が接続され出力がノードN2に接続されるインバータ56と、入力にノードN2が接続されるインバータ58を含む。

【0060】シフトレジスタ52#n-1はさらに、インバータ58の出力とノードN3との間に接続されゲートに制御信号UPを受けるNチャネルMOSトランジスタ60と、入力にノードN3が接続され出力がノードN4に接続されるインバータ62と、入力にノードN4が接続され出力がノードOUT1に接続されるインバータ64を含む。

【0061】シフトレジスタ52#n-1は、さらに、ノードIN2とノードN4との間に接続され制御信号DOWNをゲートに受けるNチャネルMOSトランジスタ66と、ノードN4が入力に接続され出力がノードN3に接続されるインバータ68と、ノードN3が入力に接続され制御信号C(n-1)を出力するインバータ70と、インバータ70の出力ノードN2との間に接続されゲートに制御信号DOWNを受けるNチャネルMOSトランジスタ72と、ノードN2が入力に接続され出力がノードN1に接続されるインバータ74と、入力にノードN1に接続され出力がノードOUT2に接続されるインバータ76を含む。なお、制御信号UP、DOWNは、それぞれ制御信号UP、DOWNの反転信号を示しており、シフトレジスタでインバータをもちいて生成してもよく、位相比較器の出力部にインバータを設けて生成してもよい。

【0062】他のシフトレジスタ52#1~52#nも、シフトレジスタ52#n-1と同様な構成を有しており説明は繰返さない。

【0063】初段であるシフトレジスタ52#1の入力ノードIN1は電源ノードに接続され、シフトレジスタ52#1の出力ノードOUT1はシフトレジスタ52#2の入力ノードIN1に接続される。また、シフトレジスタ52#2の出力ノードOUT2はシフトレジスタ52#1の入力ノードIN2に接続される。

【0064】最終段であるシフトレジスタ52#nの入力ノードIN2は接地ノードと接続され、シフトレジスタ52#nの出力ノードOUT2はシフトレジスタ52#n-1の入力ノードIN2に接続される。シフトレジスタ52#n-1の出力ノードOUT1はシフトレジスタ52#nの入力ノードIN1と接続される。

【0065】電源投入時には、リセット信号ResetがHレベルに設定され、その後リセット信号が解除され

る。すると、シフトレジスタ52#nのノードN3はLレベルに設定されるので、応じて制御信号C(n)はHレベルとなる。一方、他のシフトレジスタのノードN3にはNチャネルMOSトランジスタ50#1~50#n-1を介してHレベルが与えられるので、応じて制御信号C(1)~C(n-1)はLレベルとなる。

【0066】以後、制御信号DOWNが活性化されると、制御信号Cの活性化位置は左方向にシフトし、一方制御信号UPが活性化されると、制御信号Cの活性化位置は右方向にシフトする。

【0067】図6は、図3における位相比較器28の構成を示した回路図である。位相比較器は、2つの信号の立上がりエッジを比較し位相の進んでいる信号を判別する回路である。

【0068】図6を参照して、位相比較器28は、クロック信号ECLKを受けて遅延させる遅延回路92と、遅延回路92の出力を受けて反転しクロック信号/ECLK1を出力するインバータ94と、クロック信号/ECLK1を受けて反転しクロック信号ECLK1を出力するインバータ96と、クロック信号ECLK1を受ける直列に接続されたインバータ98、100を含む。

【0069】位相比較器28は、さらに、クロック信号RCLKを受けて遅延させる遅延回路104と、遅延回路104の出力を受けてさらに遅延させクロック信号RCLK2を出力する遅延回路106と、クロック信号/ECLK1によって活性化されるNチャネルMOSトランジスタ108と、NチャネルMOSトランジスタ108の導通時にクロック信号RCLK2を受けて反転するインバータ110と、インバータ110の出力を受けて反転しインバータ110の入力に帰還させるインバータ112と、クロック信号ECLK1によって活性化されるNチャネルMOSトランジスタ114と、NチャネルMOSトランジスタ114の導通時にインバータ110の出力を受けて反転し信号SCを出力するインバータ116と、信号SCを受けて反転しインバータ116の入力ノードに帰還させるインバータ118を含む。

【0070】位相比較器28は、さらに、クロック信号RCLKを受けて遅延させクロック信号RCLK1を出力する遅延回路120と、クロック信号/ECLK1に応じて活性化されるNチャネルMOSトランジスタ122と、NチャネルMOSトランジスタ122の導通時にクロック信号RCLK1を受けて反転するインバータ124と、インバータ124の出力を受けて反転しインバータ124の入力ノードに帰還させるインバータ126と、クロック信号ECLK1に応じて活性化されるNチャネルMOSトランジスタ128と、NチャネルMOSトランジスタ128の導通時にインバータ124の出力を受けて反転し信号SBを出力するインバータ130と、信号SBを受けて反転しインバータ130の入力ノードに帰還させるインバータ132と、信号SBを受け

て反転するインバータ134とを含む。

【0071】位相比較器28は、さらに、クロック信号／ECLK1に応じて活性化されるNチャネルMOSTランジスタ136と、NチャネルMOSTランジスタ136の導通時にクロック信号RCLKを受けて反転するインバータ138と、インバータ138の出力を受けて反転しインバータ138の入力ノードに帰還させるインバータ140と、クロック信号ECLK1に応じて活性化されるNチャネルMOSTランジスタ142と、NチャネルMOSTランジスタ142の導通時にインバータ138の出力を受けて反転し信号SAを出力するインバータ144と、信号SAを受けて反転しインバータ144の入力ノードに帰還させるインバータ146とを含む。

【0072】位相比較器28は、さらに、インバータ100の出力と信号SC、SBを受けて制御信号DOWNを出力する3AND回路148と、インバータ100の出力とインバータ134の出力と信号SAとを受けて制御信号UPを出力する3AND回路150とを含む。

【0073】図7は、位相比較器28の動作を説明するための動作波形図である。図6、図7を参照して、時刻t1において、NチャネルMOSTランジスタ108、122、136は非導通状態となり、NチャネルMOSTランジスタ114、128、142は導通状態となる。

【0074】このとき、クロック信号RCLKはHレベルであり、応じて信号SAはLレベルからHレベルへと立上がる。クロック信号RCLKが遅延されたクロック信号であるRCLK1、RCLK2はLレベルであるため、信号SB、SCはいずれもLレベルである。

【0075】したがって、3AND回路148の出力はLレベルであるため制御信号DOWNはLレベルである。一方3AND回路150の出力はクロック信号ECLK1がHレベルの間Hレベルを出力するため、応じて制御信号UPはHレベルとなる。

【0076】時刻t2において、時刻t1よりもクロック信号RCLKの位相がやや進んだ場合を述べる。クロック信号RCLK、RCLK1はHレベルであり、さらに遅れたクロック信号RCLK2はLレベルである。

【0077】このとき信号SA、SBはHレベルとなり、信号SCはLレベルとなる。このときは、3AND回路148、150の出力はいずれもLレベルであり、したがって、制御信号DOWN、UPはいずれもLレベルである。このように、クロック信号ECLK1の立上がりエッジが、クロック信号RCLK1の立上がりエッジとクロック信号RCLK2の立上がりエッジとの間にきた場合には、制御信号DOWN、UPはいずれも活性化されない。このような不感帯は、制御信号DOWN、UPを交互に繰返し出力し続ける状態（いわゆるチャタリング）を防止するために必要とされる。

【0078】時刻t3においては、時刻t2よりさらにクロック信号RCLKの位相が進んだ場合を示す。クロック信号RCLK、RCLK1、RCLK2はいずれもHレベルであるため、信号SA、SB、SCはいずれもHレベルとなる。したがって、クロック信号RCLKの位相がクロック信号ECLKに対して進み過ぎた状態であるので、遅延ラインの遅延量を増大させるため信号DOWNが活性化される。

【0079】時刻t4、t5においては、時刻t2で説明した場合と同様クロック信号ECLK1、RCLKの位相が不感帯にあるため信号UP、DOWNはいずれも出力されずDLL回路はロックしている状態となっている。

【0080】続いて、本発明の実施の形態1における内部クロック発生回路10の動作について説明する。

【0081】図8は、位相比較器28から出力される制御信号DOWN、UPと、シフトレジスタ24aが出力する制御信号Cとの関係を示す動作波形図である。

【0082】図5、図8を参照して、遅延ライン22の遅延時間をシフトレジスタ24aが遅らせる場合、早める場合について説明する。

【0083】まず、時刻t1においては、電源の投入時等にリセット信号Resetが活性化され、NチャネルMOSTランジスタ50#1～50#nが導通し、シフトレジスタ52#1～52#nの各々のノードN3に初期値が設定される。応じて、制御信号C(1)～C(n-1)はLレベルとなり、制御信号C(n)はHレベルになる。図4に示した遅延ライン22の遅延時間は、このとき最小となる。

【0084】続いて、時刻t2において、位相比較器28によって、クロック信号ECLK、RCLKの位相比較が行なわれ、遅延量を増やす必要があると判断され、制御信号DOWNが位相比較器28から出力される。応じて、制御信号C(n)は非活性化され、代わりに制御信号C(n-1)が活性化される。このように、時刻t2、t3、t4においては、制御信号DOWNの活性化に応じて、シフトレジスタ24aがデータの左方向へのシフトを行ない、応じて制御信号C(n-1)、C(n-2)、C(n-3)の順に制御信号の活性化が行なわれる。

【0085】時刻t5では、遅延ラインの遅延時間が大きくなりすぎたため、位相比較器が制御信号UPを活性化させる。応じて、シフトレジスタ24aは、制御信号C(n-3)を非活性化させ、代わりに制御信号C(n-2)を活性化させる。したがって、遅延ライン22の遅延時間が再び小さくなるように制御が行なわれる。

【0086】以上説明したように、位相比較器28によって位相比較が行なわれ、応じて、シフトレジスタ24aに対して制御信号UP、DOWNが送られ、そして、遅延ライン22の遅延量が制御されるという動作の繰り

返しによって、内部クロック信号 ICLK の位相の調整が行なわれる。

【0087】このような構成とすることにより、本発明の実施の形態 1 においては、遅延ライン 22 の遅延時間をデジタル的に微調整することが可能となっている。

【0088】なお、位相比較器に設けられている不感帯は遅延回路の遅延時間によって決まる。不感帯は動作周波数が高く、遅延時間に対して高い精度を要求されるときは不感帯の幅を狭くし、逆に動作周波数が低く、遅延時間に対しさほど高い精度を要求されないときはこの不感帯の間隔を拡げる。このようにすることで、シフトレジスタが動作する回数を減らすことができ、消費電流を減らすことができる。したがって、このように動作周波数に従って不感帯の感度を変えることは消費電流の面から有効である。この方法を実現するためには、図 6 に示した位相比較器 28 の遅延回路 92、104、106、120 の遅延時間をクロック周波数が遅くなるに従って大きくすることで可能である。たとえば、図 5 に示したシフトレジスタ 24a が出力する制御信号 C(1)～C(n) の活性化される制御信号をモニタし、その活性化される位置に応じて位相比較器内の遅延回路 92、104、106、120 の遅延時間を増減させるようにすればよい。

【0089】以上説明したように、実施の形態 1 の半導体装置は、DLL 回路の遅延ライン 22 の遅延時間の調整ステップを従来に比べて細かく調整することができるため、高速なクロック信号が入力された場合にもジッタを小さく抑えることができる。

【0090】〔実施の形態 1 の変形例〕図 9 は、実施の形態 1 の変形例を説明するためのブロック図である。

【0091】図 9 を参照して、実施の形態 1 の変形例では、図 3 に示した DLL 回路 10a に代えて PLL 回路 10b を用いる。

【0092】PLL 回路 10b は、図 3 に示した DLL 回路 10a の構成において、遅延ライン 22 は、信号 ECLK を受ける代わりに内部クロック信号 ICLK を入力として受けて遅延させる。遅延ライン 22 が奇数段である場合には、内部クロック信号 ICLK は遅延ライン 22 の遅延時間に応じた周波数で発振をする。

【0093】このような PLL においても、図 4 に示した遅延ライン 22 の構成を用いることにより、高速なクロック信号に対して位相を調整する精度が向上する。

【0094】〔実施の形態 2〕電源投入時には、遅延ラインの遅延量は最小に設定され、DLL 回路はその状態から遅延時間の調整を開始する。これは、遅延量が大いところでロックすると、ジッタが増加する要因となるからである。この遅延ラインの遅延量は電源電位に生ずるノイズで変化する。遅延ラインの遅延量が大いほど、このノイズに応じた遅延量の変動は大い。したがって、遅延量が最小の状態から開始して、遅延ラインの

遅延量が最も少ない状態でロックさせるようにするために、初期状態は遅延ラインの遅延量は最小となっている。

【0095】図 10～12 は、クロック周期と遅延量の関係を説明するための図である。図 10 で示すように、遅延時間が外部クロックの周期よりも短い場合には、遅延ラインの遅延量を最小の状態から開始して遅延量を次第に大きくしていけば、位相をロックさせることができる。しかも、遅延ラインの内部遅延時間が一番短い状態で位相をロックさせることができる。

【0096】しかし、図 11 のように、動作周波数が高くなり、遅延ラインの遅延時間が外部クロック信号の周期よりも長くなった場合には、遅延ラインの遅延時間を現時点よりも大きくしてロックさせることができない。なぜなら、位相比較器は、動作の安定性を保つために、信号 RCLK のエッジを信号 ECLK の一番近いエッジに合わせようとするからである。したがって、図 11 のような状態の場合には、遅延時間 TD を短くするように位相比較器は制御しようとする。このとき遅延ラインの遅延時間は最小の状態から動作が開始されているので、位相をロックさせることができなくなる。

【0097】この問題を解決するには、電源投入時には、遅延ラインの遅延時間を最小でもなく、最大でもない途中の遅延量から動作を開始させることが考えられる。そうすれば、図 12 に示すように遅延時間 TD がクロック周期 T の倍数になったときに位相をロックさせることができる。

【0098】図 13 は、実施の形態 2 におけるシフトレジスタ 24b の構成を説明するためのブロック図である。

【0099】図 13 を参照して、実施の形態 2 におけるシフトレジスタ 24b は、図 5 で説明したシフトレジスタ 24a の構成において、N チャネル MOS トランジスタ 50#n は、接地ノードに接続される代わりに電源ノードに接続され、その代わりに、遅延量が中間的な設定に対応する制御信号 C(m) を出力するシフトレジスタ 52#m に初期値を与える N チャネル MOS トランジスタ 50#m が接地ノードに接続されている。他の構成は、図 5 で示したシフトレジスタ 24a と同様であり、説明は繰返さない。

【0100】このように、リセット信号でデータの初期化をするときに、初期状態において制御信号を活性化するシフトレジスタの位置を変更することにより、遅延ラインの遅延量は最小でも最大でもない遅延量から始まることになる。したがって、クロック周波数が高い場合においても適切な内部クロックを発生させることが可能となり、動作可能なクロック周波数の範囲が拡大する。

【0101】また、図 9 に示したような PLL においても、図 13 に示したシフトレジスタ 24b を用いることにより、高速なクロック信号にも対応できるようにな

り、動作可能なクロック周波数の範囲が拡大する。

【0102】〔実施の形態2の変形例〕遅延ラインの遅延量を最小から始めるか、途中から始めるかは、動作周波数に依存する。したがって、どの状態から始めるかは品種ごとに切換える必要がある。

【0103】図14は、実施の形態2の変形例で用いられるシフトレジスタ24cの構成を示した図である。

【0104】図14を参照して、シフトレジスタ24cは、図13に示したシフトレジスタ24bの構成において、NチャネルMOSトランジスタ50#m、50#nにそれぞれ選択的に初期値を与えるためのスイッチ202、204を含む点がシフトレジスタ24bと異なる。他の構成は、シフトレジスタ24bと同様であり説明は繰返さない。

【0105】このような切換を、マスタスライスをを用いて行なうと効果が高くなる。すなわち、ウェハ工程の中途段階まで共通な工程で製作したマスタスライスをを用い、その後の配線工程において異なるフォトマスクを使用してスイッチ切換がなされた製品をつくることができる。

【0106】このスイッチ切換は、マスタスライスをを用いる場合以外にも、モードレジスタセットで切換えるようにすることもできる。モードレジスタとは、図1のコントロール回路8の一部に設けられているSDRAMの動作モードを設定することができるレジスタである。

【0107】図15は、モードレジスタへのモード設定を行なう説明をするための動作波形図である。

【0108】図15を参照して、外部クロック信号CLKの立上がりエッジに同期して制御信号/CS、/RAS、/CAS、/WEがすべてLレベルに設定されると、モードレジスタセットコマンドが入力され、そのときに与えられているアドレス信号A0～Anの組合せに応じた値VALにしたがってモードを設定することができる。

【0109】図16は、シフトレジスタの初期値をモードレジスタの出力に応じて切換える説明をするための概念図である。

【0110】図16を参照して、モードレジスタセットコマンドに応じてモードレジスタ9からは切換スイッチ202aに対して切換信号が出力されており、たとえば動作周波数が高い場合には初期値としてLレベルが与えられるようにセットし、一方動作周波数が低い場合には初期値としてHレベルが与えられる用に切換スイッチ202aを制御することができる。

【0111】また、モードレジスタによって通常切換えることができるようになってきているCASレイテンシに伴ってシフトレジスタの初期状態の設定を切換えても同様の効果が期待できる。

【0112】また、ボンディングオプションによって品種ごとに切換えることも可能である。

【0113】図17は、ボンディングオプションを説明するための図である。図17を参照して、SDRAMのチップに設けられているパッドPDをリードフレームの電源電位VDDを受けるリードLD1または接地電位VSSを受けるリードLD2のいずれか一方に接続するようにする。パッドPDを介して与えられる電位に応じてシフトレジスタの初期値を与える切換スイッチ202bをHレベルまたはLレベルを与えるように切換えることができるので、高速動作を保証する製品と低速クロックで用いる製品とでシフトレジスタの設定を切換えることもできる。

【0114】〔実施の形態3〕実施の形態1では、1ステップ当り遅延調整量が均一な1つの遅延ラインを用いて調整を行なうDLLについて説明したが、細かなステップで遅延量を変化させる遅延ラインと粗い調整を行なうための遅延量変化の大きな遅延ラインとを組合せて用いてもよい。組合せて用いることにより、遅延ラインのセクタ数を減らすことが可能で、DLL回路のエリアペナルティを減らせるという利点がある。しかしながら、プロセスなどのばらつきにより、微調整を行なう遅延ラインと粗い調整を行なう遅延ラインの遅延量が合わずにジッタを増加させる場合がある。

【0115】図18は、実施の形態3において用いられるDLL回路10cの構成を示した回路図である。

【0116】図18を参照して、DLL回路10cは、外部から与えられる外部クロック信号CLKをクロックバッファ2を介して受けて、内部クロック信号ICLKを出力する。

【0117】DLL回路10cは、クロックバッファ2から信号ECLKを受けて遅延させる微調整遅延ライン222と、微調整遅延ライン222の出力を受けて内部クロック信号ICLKを出力する粗調整遅延ライン223と、内部クロック信号ICLKを遅延させ信号RCLKを出力する遅延回路226と、信号ECLKと信号RCLKを位相比較して制御信号UP、DOWNおよびLOCKを出力する位相比較器228とを含む。

【0118】DLL回路10cは、さらに、制御信号UP、DOWNに応じて微調整遅延ライン222の遅延量を調整するためのシフトレジスタ224と、リセット信号Resetおよび制御信号LOCKに応じて切換信号CH1を出力する切換制御回路221とを含む。

【0119】シフトレジスタ224は、後に説明するように、微調整遅延ライン222の調整範囲を超えて調整が必要になりオーバーフローを起こしたときは制御信号UPを出力し、逆にアンダーフローを起こしたときは制御信号DOWN1を出力する。これらの制御信号が出力された場合には、シフトレジスタ224の内部はリセットされ、微調整遅延ライン222の遅延量は初期状態に戻される。

【0120】DLL回路10cは、さらに、制御信号U

PおよびDOWNまたは接地電位を切換信号CH1に応じて伝達するためのスイッチ回路227と、スイッチ回路227の出力に応じて粗調整遅延ライン223の遅延量を調整するためのシフトレジスタ225とを含む。

【0121】シフトレジスタ225は、図5に示したシフトレジスタ24aと同様な構成を有しており説明は繰返さない。また、粗調整遅延ライン223は、基本的に図4に示した遅延ライン22と同様な構成を有しており、1段当りの遅延量が異なるように調整されている。したがって細かい説明は繰返さない。

【0122】切換制御回路221は、リセット信号Resetを受けて反転するインバータ232と、制御信号LOCKを受けて反転するインバータ234と、互いに交差結合され、それぞれの一方の入力にインバータ232、234の出力を受けるNAND回路236、238とを含む。NAND回路236の出力信号は、切換信号CH1となる。

【0123】図19は、図18におけるシフトレジスタ224の構成を示したブロック図である。

【0124】図19を参照して、シフトレジスタ224は、図5に示したシフトレジスタ24aの構成に加えて、制御信号DOWNが入力されることに応じてシフトレジスタ52#1から出力されるオーバーフロー信号OVDの立上りに応じて制御信号DOWN1をパルス状に活性化するパルス発生回路229と、制御信号UPが入力されることに応じてシフトレジスタ52#nから出力されるオーバーフロー信号OVUの立下りに応じて制御信号UP1をパルス状に活性化するパルス発生回路230と、制御信号DOWN1、UP1およびリセット信号Resetを受けてリセット信号R0を出力するOR回路とを含む。

【0125】また、シフトレジスタ24aの構成においては、シフトレジスタ52#1～52#nに初期値を与えるためのNチャネルMOSトランジスタ50#1～50#nは、ゲートにリセット信号Resetを受けていたが、シフトレジスタ224では、NチャネルMOSトランジスタ50#1～50#nは、ゲートにリセット信号R0を受ける点がシフトレジスタ24aの構成と異なる。

【0126】シフトレジスタ224の他の部分の構成は、シフトレジスタ24aと同様であり、説明は繰返さない。

【0127】図20は、図18における位相比較器228の構成を示した回路図である。図20を参照して、位相比較器228は、図6で示した位相比較器28の構成に加えて、インバータ100の出力、信号SB、SAを受けて制御信号LOCKを出力する3AND回路240をさらに含む点が位相比較器28の構成と異なる。他の構成は位相比較器28と同様であり説明は繰返さない。

【0128】次に、簡単に動作を説明する。電源投入時

もしくはDLL回路をリセットするコマンドが入力されると切換信号CH1によって、制御信号UP1、DOWN1がシフトレジスタ225に伝達されるようにスイッチ回路227が接続される。

【0129】位相比較器228は、信号ECLKと信号RCLKの位相差が一定の値よりも小さくなったときに制御信号LOCKを活性化する。すると、切換制御回路221は切換信号CH1を変化させる。応じて、スイッチ回路227は、制御信号UP1、DOWN1を伝達しないように接続が切換わる。すると、安定した状態において粗調整遅延ライン223の遅延量は固定され後は微調整遅延ライン222の遅延量の変化でのみ調整が行なわれるので、定常状態におけるジッタを小さく抑えることができる。

【0130】図21は、他のDLL回路の例であるDLL回路10dの構成を示したブロック図である。

【0131】図21を参照して、DLL回路10dは、図18で説明したDLL回路10cの構成に加えて、微調整遅延ライン242、シフトレジスタ244、スイッチ回路246をさらに含む。シフトレジスタ244は、図18のシフトレジスタ224とスイッチ回路227との間に挿入される。微調整遅延ライン242は、微調整遅延ライン222の出力を受けてさらに遅延させる。スイッチ回路246は微調整遅延ライン222の出力と微調整遅延ライン222の出力のいずれかを切換信号CH1に応じて粗調整遅延ライン223に伝達する。他の部分の構成は図18で示したDLL回路10cと同様であり説明は繰返さない。

【0132】DLL回路10dは、ロック状態が検出されるまでは微調整遅延ライン222と粗調整遅延ライン223で遅延量の調整を行なう。そして信号RCLKと信号ECLKの位相差が一定範囲内に収まりロック状態が検出され制御信号LOCKが活性化されると、切換信号CH1によってシフトレジスタ225に対する制御入力が固定され、粗調整遅延ライン223の遅延量が固定される。そして、同時にスイッチ回路246によって、微調整遅延ライン242の出力が粗調整遅延ライン223に与えられるように接続が切換わる。このような構成においても、粗調整遅延ライン223の遅延量をロック時に固定させることで定常状態におけるジッタを小さく抑えることができる。

【0133】図22は、他の構成例であるDLL回路10eの構成を示したブロック図である。

【0134】図22を参照して、DLL回路10eは、図21に示したDLL回路10dの構成において、位相比較器228に代えて図6で示した位相比較器28を含み、さらに、信号ECLKをカウントアップし一定の時間が経過した後に制御信号LOCKを活性化させるカウンタ302を含む点がDLL回路10dと異なる。他の構成はDLL回路10dと同様であり説明は繰返さない。

い。

【0135】すなわち、DLL回路10dは位相比較器228によって2つの内部クロック信号の位相差が少なくなったときに変化を止めたが、DLL回路10eは電源投入後もしくはリセットコマンド後のクロック数を数えて特定数になったときに遅延ラインの切換を行なう。この場合も同様な効果が得られる。

【0136】図23は、遅延ラインの切換を行なうPLL回路10fの構成を示した図である。

【0137】図23を参照して、PLL回路10fは、図21に示したDLL回路10dの構成において、微調整遅延ライン222が信号ECLKに代えて内部クロック信号ICKを入力信号として受ける点がDLL回路10dと異なる。他の構成は図21に示したDLL回路10dと同様であり説明は繰返さない。

【0138】図23で示すように、PLL回路においても、一定時間が経過しクロックがある程度安定しロック状態が検出されたときに粗調整遅延ライン223の遅延時間を固定し微調整遅延ライン222、242のみで遅延調整を行なうことで、定常状態におけるジッタを低減させることができる。

【0139】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0140】

【発明の効果】請求項1に記載の半導体装置は、遅延ラインの遅延時間の調整ステップを従来に比べて細かく調整することができるため、高速なクロック信号が入力された場合にもジッタを小さく抑えることができる。

【0141】請求項2に記載の半導体装置は、請求項1に記載の半導体装置の奏する効果に加えて、内部クロック発生をDLL回路で行なう場合にジッタを小さく抑えることができる。

【0142】請求項3に記載の半導体装置は、請求項1に記載の半導体装置の奏する効果に加えて、内部クロック発生をPLL回路で行なう場合にジッタを小さく抑えることができる。

【0143】請求項4に記載の半導体装置は、請求項1に記載の半導体装置の奏する効果に加えて、遅延時間の調整ステップを細かく行なうことができる遅延ラインを実現することができる。

【0144】請求項5に記載の半導体装置は、クロック周波数が高い場合においても適切な内部クロックを発生させることが可能となり、動作可能なクロック周波数の範囲が拡大する。

【0145】請求項6～8に記載の半導体装置は、請求項5に記載の半導体装置の奏する効果に加えて、高速ク

ロックで動作を行なう場合と低速クロックで動作を行なう場合とで、遅延ラインの遅延量の初期値を切換えるので、動作可能なクロック周波数の範囲を適切に選択することができる。

【0146】請求項9に記載の半導体装置は、請求項5に記載の半導体装置の奏する効果に加えて、内部クロック発生をDLL回路で行なう場合に動作可能なクロック周波数の範囲が拡大する。

【0147】請求項10に記載の半導体装置は、請求項5に記載の半導体装置の奏する効果に加えて、内部クロック発生をPLL回路で行なう場合に動作可能なクロック周波数の範囲が拡大する。

【0148】請求項11～13に記載の半導体装置は、定常状態における内部クロックのジッタを低減させることができる。

【0149】請求項14に記載の半導体装置は、請求項11に記載の半導体装置の奏する効果に加えて、内部クロック発生をDLL回路で行なう場合に定常状態における内部クロックのジッタを低減させることができる。

【0150】請求項15に記載の半導体装置は、請求項11に記載の半導体装置の奏する効果に加えて、内部クロック発生をPLL回路で行なう場合に定常状態における内部クロックのジッタを低減させることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の半導体装置1の概略的な構成を示すブロック図である。

【図2】 半導体装置1の連続アクセスの使用を満たす標準的なタイミングを説明するための波形図である。

【図3】 図1に示した内部クロック発生回路10として用いられるDLL回路10aの構成を示したブロック図である。

【図4】 図3における遅延ライン22の構成を示す回路図である。

【図5】 図3におけるシフトレジスタ24の一例であるシフトレジスタ24aの構成を示した回路図である。

【図6】 図3における位相比較器28の構成を示した回路図である。

【図7】 位相比較器28の動作を説明するための動作波形図である。

【図8】 位相比較器28から出力される制御信号DOWN、UPと、シフトレジスタ24aが出力する制御信号Cとの関係を示す動作波形図である。

【図9】 実施の形態1の変形例を説明するためのブロック図である。

【図10】 クロック周期と遅延量の関係を説明するための第1図である。

【図11】 クロック周期と遅延量の関係を説明するための第2図である。

【図12】 クロック周期と遅延量の関係を説明するための第3図である。

【図13】 実施の形態2におけるシフトレジスタ24bの構成を説明するためのブロック図である。

【図14】 実施の形態2の変形例で用いられるシフトレジスタ24cの構成を示した図である。

【図15】 モードレジスタへのモード設定を行なう説明をするための動作波形図である。

【図16】 シフトレジスタの初期値をモードレジスタの出力に応じて切替える説明をするための概念図である。

【図17】 ボンディングオプションを説明するための図である。

【図18】 実施の形態3において用いられるDLL回路10cの構成を示した回路図である。

【図19】 図18におけるシフトレジスタ224の構成を示したブロック図である。

【図20】 図18における位相比較器228の構成を示した回路図である。

【図21】 他のDLL回路の例であるDLL回路10dの構成を示したブロック図である。

【図22】 他の構成例であるDLL回路10eの構成を示したブロック図である。

【図23】 遅延ラインの切替を行なうPLL回路10

fの構成を示した図である。

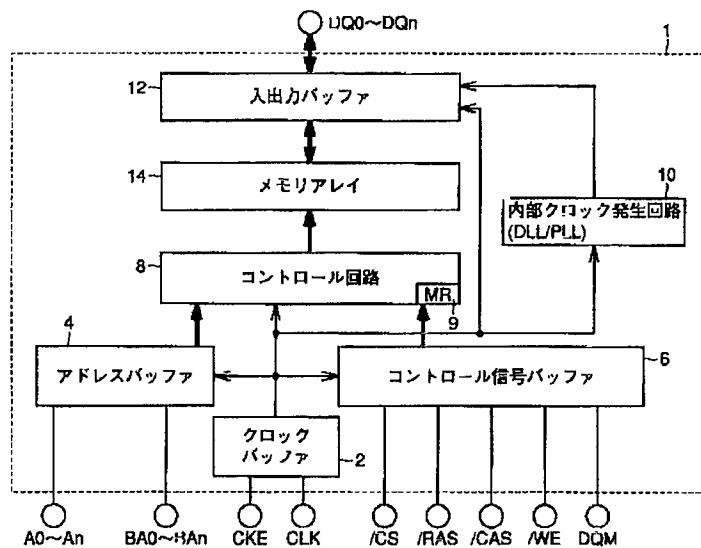
【図24】 従来のDLLの構成を示したブロック図である。

【図25】 図24における遅延ライン522の構成の一例を示した回路図である。

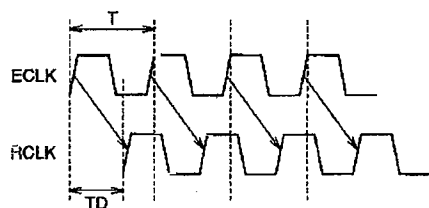
【符号の説明】

1 半導体装置、2 クロックバッファ、4 アドレスバッファ、6 コントロール信号バッファ、8 コントロール回路、9 モードレジスタ、10 内部クロック発生回路、10a、10c、10d、10e DLL回路、10b、10f PLL回路、12 入出力バッファ、14 メモリアレイ、22 遅延ライン、24、24a、24b、24c、52、224、225、244 シフトレジスタ、26、92、104、106、120、226 遅延回路、28、228 位相比較器、30 クロック変換部、36 キャパシタ、44、46 NAND回路、202、204 スイッチ、202a、202b 切替スイッチ、221 切替制御回路、222、242 微調整遅延ライン、223 粗調整遅延ライン、227、246 スイッチ回路、229、230 パルス発生回路、302 カウンタ、LD1、LD2 リード、PD パッド。

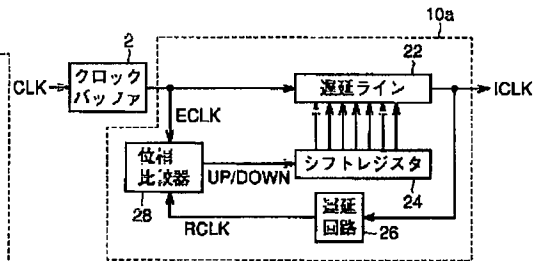
【図1】



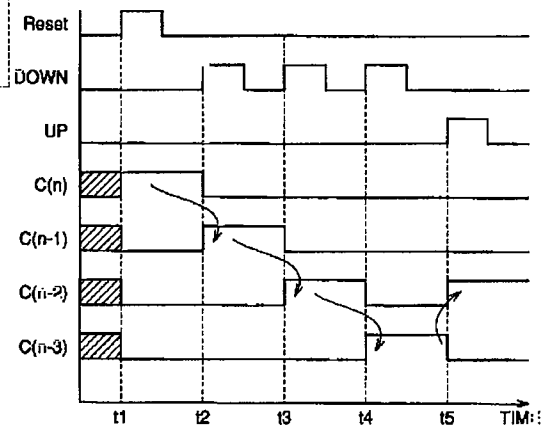
【図10】



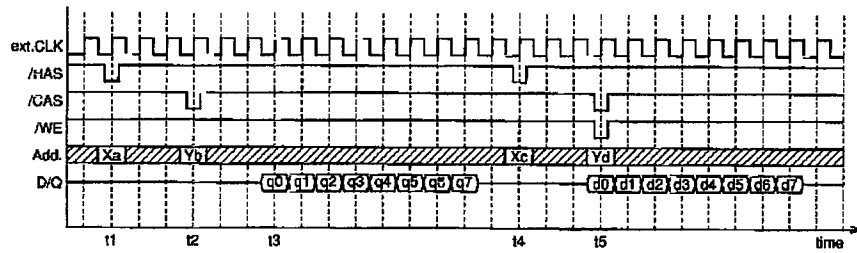
【図3】



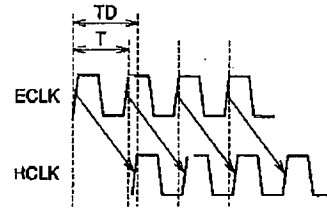
【図8】



【図2】

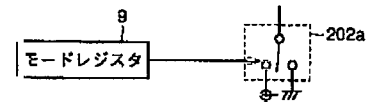
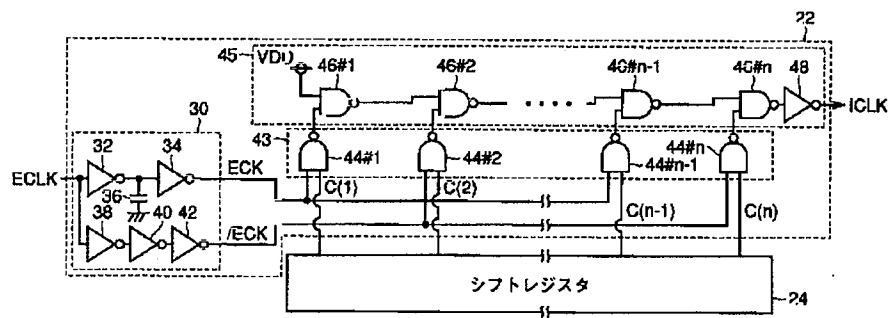


【図11】

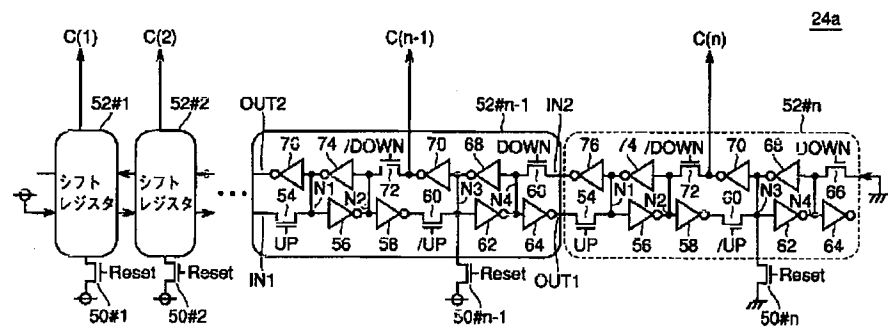


【図16】

【図4】

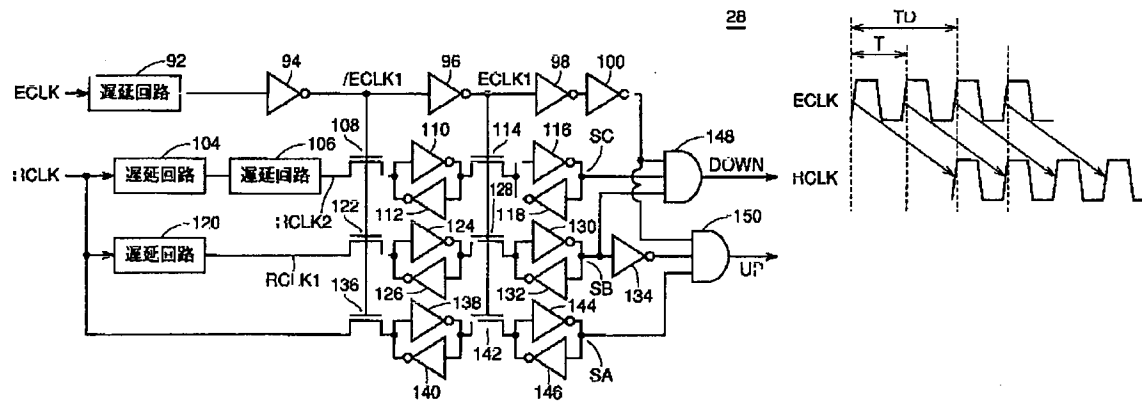


【図5】

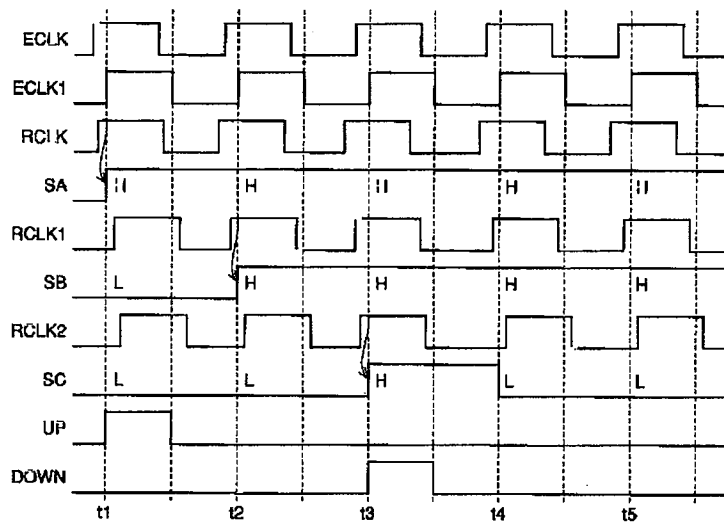


【図6】

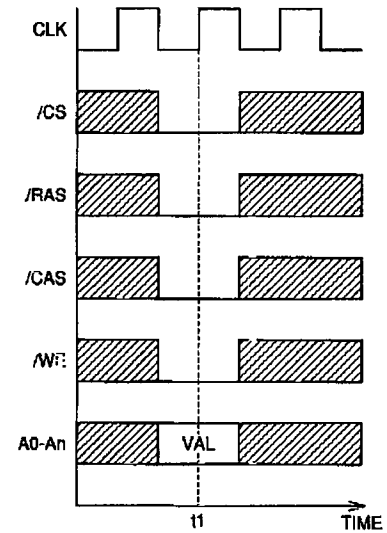
【図12】



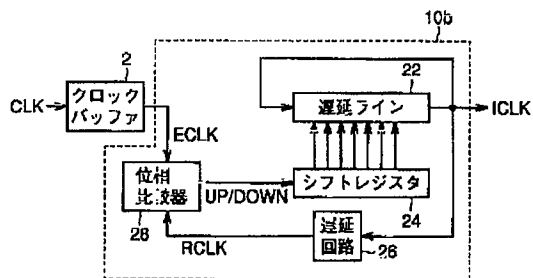
【図7】



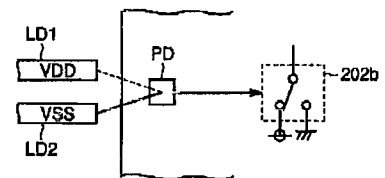
【図15】



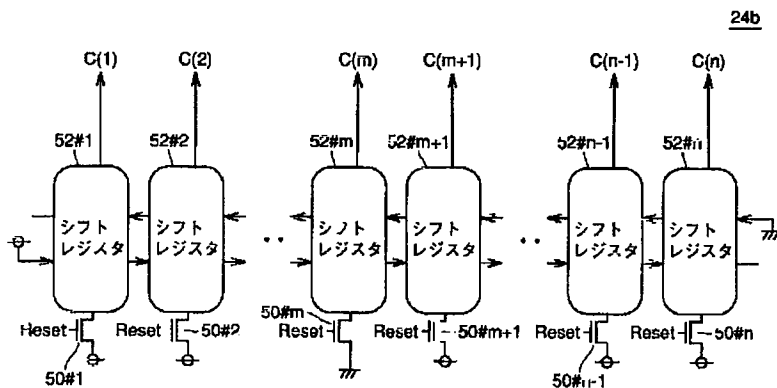
【図9】



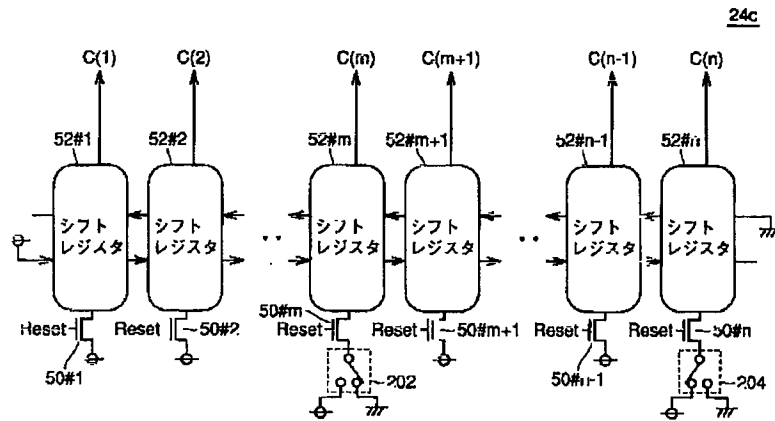
【図17】



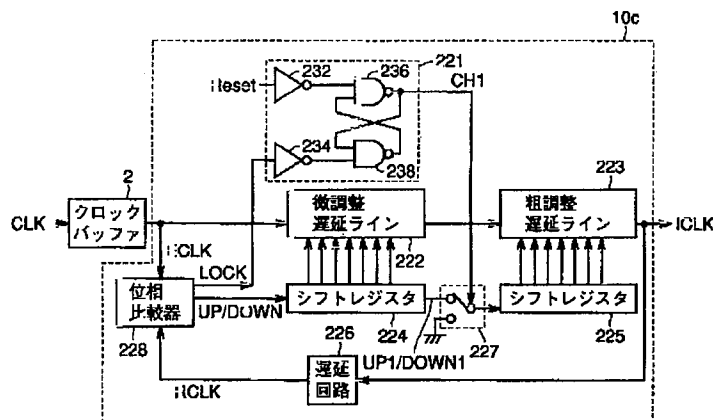
【図13】



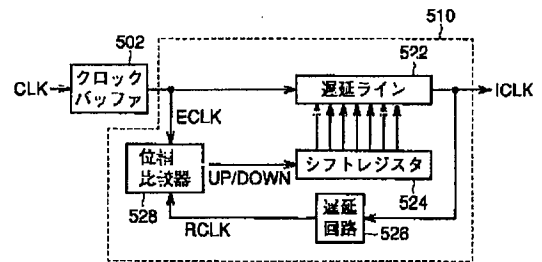
【図14】



【図18】



【図24】



【図19】

